

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-050285

(43)Date of publication of application : 12.03.1986

(51)Int.Cl.

G11C 11/34

G11C 7/00

(21)Application number : 59-172707

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.08.1984

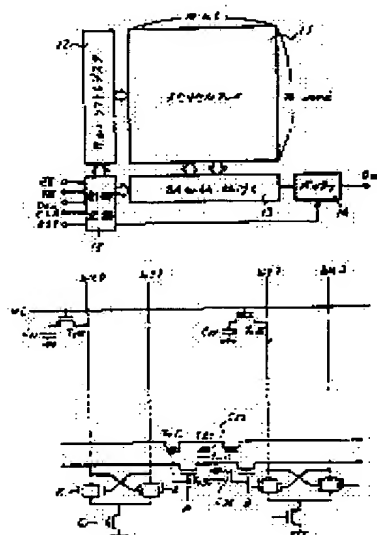
(72)Inventor : FUKUDA TAKATOSHI

(54) SERIAL MEMORY DEVICE

(57)Abstract:

PURPOSE: To attain the high-density packaging of serial memory and to scale down a chip by providing a buffer circuit for outputting data connected to the output of a sense amplifier and a control circuit for controlling a shift register, sense amplifier and buffer circuit and causing the data of the sense amplifier to shift between data.

CONSTITUTION: When the shift register 12 selects one word line WL, transistors Tr21 and Tr22 are turned on, and the information of capacitors C21 and C22 are outputted to bit lines bit 0 and bit 2. Afterward the sense amplifier signal C comes to "H", and the information of the bit line is decided. Simultaneously the information of the bit line is built up in capacitors C23 and C24 since a shift signal A is "H" and transistors Tr23 and Tr24 are on. Then signals A and C come to "L", and the bit line and the capacitors C21 and C22 are precharged. Then a signal B comes to "H" and the information of the capacitors C23 and C24 is outputted to the bit lines bit 1 and bit 2. Then the signal C comes to "H", and the information is written in the capacitors C21 and C22. When a CLK enters n-number of times, the entire information on the bit line is outputted to a Dout.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-50285

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)3月12日

G 11 C 11/34
7/00

1 0 1

8522-5B
6549-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 シリアルメモリ装置

⑯ 特 願 昭59-172707

⑰ 出 願 昭59(1984)8月20日

⑱ 発 明 者 福 田 高 利 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

シリアルメモリ装置

2. 特許請求の範囲

メモリセルアレイと、該メモリセルアレイのワード線を選択するシフトレジスタと、該メモリセルアレイの各ビット線に接続されたセンスアンプと、該センスアンプの出力に接続されデータをメモリ装置の外に出力するバッファ回路と、該シフトレジスタと該センスアンプと該バッファ回路を制御する制御回路とよりなり、該センスアンプのデータがビット線間をシフトできるようにしたことを特徴とするシリアルメモリ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はメモリセルアレイを使用したシリアルメモリ装置に関する。

近年メインメモリに使用されるICメモリは高速化され、高密度化によりビット当たりの単価はかなり低下している。特にダイナミックメモリに

おいてその傾向が顕著である。

一方、メインメモリとの速度のギャップを埋めるため、ビット当たりの単価の特に安いことが要求される磁気ディスク等のシリアルメモリの高速化も要求されている。

従って今後シリアルインタフェースをもつ半導体による周辺メモリ装置の用途が拡大されと考えられる。

またダイナミックメモリの開発はそのメモリセル密度において最先端にあるので、これのメモリセルアレイを使用したシリアルメモリ装置が考えられる。

(従来の技術と問題点)

従来のシリアルメモリは磁気ディスクや、磁気テープのように機械的にアクセスするものは速度が遅い。

そこでシリコンディスクと呼ばれるダイナミックメモリを多数並べてシリアルメモリとして構成するものがあるが、制御が難しく機能上も無駄が多い。

(問題点を解決するための手段)

上記問題点の解決は、メモリセルアレイと、該メモリセルアレイのワード線を選択するシフトレジスタと、該メモリセルアレイの各ビット線に接続されたセンスアンプと、該センスアンプの出力に接続されデータをメモリ装置の外に出力するバッファ回路と、該シフトレジスタと該センスアンプと該バッファ回路を制御する制御回路とよりなり、該センスアンプのデータがビット線間をシフトできるようにした本発明によるシリアルメモリ装置により達成される。

(作用)

本発明によれば、安価で集積度の一番高いダイナミックメモリのセルアレイをそのまま使用し、ロウ方向はシフトレジスタにより、カラム方向はシフト機能を有するセンスアンプによりシリアルアクセスを可能としたもので、ダイナミックメモリに較べ周辺回路は少なく、また端子数は極めて少なくすみ、チップサイズも小さくできる。

(実施例)

スアンプの回路図である。

このセンスアンプにおいては、最終段のセンスアンプの出力はラッチ付出力バッファ14を通り、出力端子D_{out}よりメモリ装置の外に出力される。また最終段のセンスアンプの出力は、初段のセンスアンプの出力に戻る。

なお、Tr₂₁とC₂₁はメモリセルを構成するトランスファークゲートトランジスタと情報蓄積キャパシタである。Tr₂₂とC₂₂は他のメモリセルを構成するトランジスタとキャパシタである。

15は制御回路で、シフトレジスタ12やセンスアンプ13やバッファ14に、データ、クロック信号、リセット信号を送る。この回路の端子のCSはチップセレクト、WEはライトイネイブル、D_{in}はデータ入力、CLKはクロック、RSTはリセットである。

つぎに詳細な動作について、タイミング図を用いて説明する。

第3図は本発明によるシリアルメモリ装置の動作を説明するタイミング図である。

第1図は本発明によるシリアルメモリの構成を示すブロック図である。

図において、11はダイナミックメモリと全く同じ構成のメモリセルアレイである。ロウ方向はnワード、カラム方向はmビットとする。

12はnビットのシフトレジスタである。これは初期リセットにより一番下位のレジスタのみ"1"で、他のレジスタは"0"となる。またクロック(CLK)が1回くごとに1ビット宛データがシフトされ、"1"出力のレジスタが、メモリセルアレイのn本のうちの1本のワード線のみを選択する。最終段のレジスタの出力は、初段のレジスタ入力に戻る。このシフトレジスタは既知のものでよく、ダイナミック型、スタティック型何れでもよい。

13はセンスアンプであるが、一般のダイナミック型センスアンプにシフト機能を追加し、1回のCLKごとに、その出力はとなりのセンスアンプへとシフトされる。

第2図は本発明によるシフト機能を有するセン

まず外部入力CLKによりすべての動作が始まる。CLKの立ち下がりによりビット線とセンスアンプをプリチャージしているセンスアンプのリセット信号Rが"1"になる。

Rが"1"の間にビット線およびシフト線bit0、bit1に接続されたキャパシタC₁₁、C₁₂は電源電圧V_{cc}にプリチャージされている。

ワード線(WL)方向のシフトレジスタ12の出力は、WL1本だけを選択し、選択されたWLが"1"になる。このWLは既知のようにブートストラップ回路等を用いてV_{cc}より高いレベルになっており、WLが"1"となることによりメモリセルのトランスファークゲートトランジスタTr₂₁とTr₂₂がONとなり、情報蓄積用キャパシタC₂₁、C₂₂の情報はビット線bit0とbit2へ出力される。

その後センスアンプ信号Cが"1"となり、センスアンプがONし、ビット線の情報が確定される。これと同時にシフト信号Aが"1"で、Tr₂₃とTr₂₄がONであるためビット線の情報はキャパシタC₁₃、C₁₄へ蓄積される。

つぎにシフト信号Aおよびセンスアンプ信号Cが“L”となり、Rは“H”となる。このことにより C_{21} 、 C_{22} の情報は保ったまま、ビット線および情報密積用キャパシタ C_{21} 、 C_{22} はプリチャージされる。

つぎにRが“L”になった後、シフト信号Bが“H”となりキャパシタ C_{21} 、 C_{22} の情報をとるのビット線bit1とbit2へ出力する。

つぎにセンスアンプ信号Cが“H”となり、この情報はセンスアンプにより増幅されると同時に情報密積用キャパシタ C_{21} 、 C_{22} に情報を書き込む。

以上のようにして同一ワード線上の情報はとるのビット線へとシフトされる。

最終段のセンスアンプにより確定された、ビット線上の情報は出力バッファ14へ出力され、ラッチされる。また最終段のセンスアンプの出力は、 \overline{WE} が“H”であるなら初段のセンスアンプの入力となり、逆に \overline{WE} が“L”であるなら初段のセンスアンプの入力は D_{in} により制御される。

スアンプの回路図、

第3図は本発明によるシリアルメモリ装置の動作を説明するタイミング図である。

図において、

11はメモリセルアレイ、

12はシフトレジスタ、

13はシフト機能を有するセンスアンプ、

14はラッチ付出力バッファ、

15は制御回路、

D_{out} は出力端子、

\overline{CS} はチップセレクト端子、

\overline{WE} はライトイネイブル端子、

D_{in} はデータ入力端子、

CLK はクロック端子、

RST はリセット端子、

Tr_{21} と Tr_{22} はメモリセルのトランスファージートランジスタ

C_{21} 、 C_{22} はメモリセルの情報密積用キャパシタ、

bit0、bit1はシフト線、

ワード線方向のシフトレジスタ12へのシフト信号はCLKの立ち上がり等によって生成することができる。

以上により、n回CLKが入ると最終段のセンスアンプに接続されたビット線上の情報はすべて D_{out} へ出力され、また初段のセンスアンプに接続されたビット線上の情報はシフトされる。このことをm回繰り返すとすべての情報は D_{out} へ出力され、その情報は元のビットの位置に戻る。

(発明の効果)

以上詳細に説明したように本発明によれば、ダイナミックメモリのメモリセルアレイを使用してシリアルメモリ装置が構成でき、その端子数は非常に少なくなり高密度実装が可能となる。またダイナミックメモリに比べ周辺回路は少なくなり、従ってチップサイズは小さくできる。

4. 図面の簡単な説明

第1図は本発明によるシリアルメモリの構成を示すブロック図、

第2図は本発明によるシフト機能を有するセン

C_{21} 、 C_{22} はシフト用キャパシタ、

WLはワード線、

bit0、bit1、bit2、bit3はビット線、

A、Bはシフト信号、

Cはセンスアンプ信号、

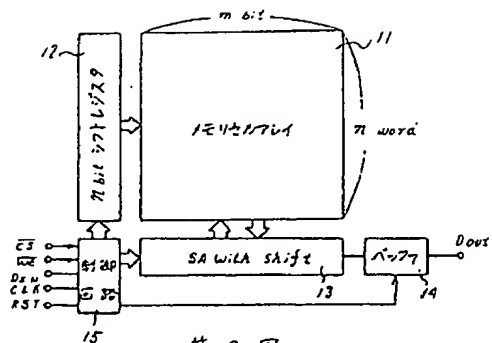
Rはセンスアンプのリセット信号

を示す。

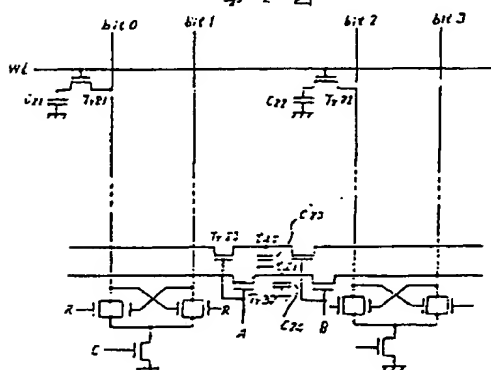
代理人 弁理士 松岡宏四郎



第 1 図



第 2 図



第 3 図

